

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-136036

(43)Date of publication of application : 18.05.2001

(51)Int.Cl.

H03G 3/20

H03G 3/30

H03M 1/18

(21)Application number : 11-318650

(71)Applicant : DENSO CORP

(22)Date of filing : 09.11.1999

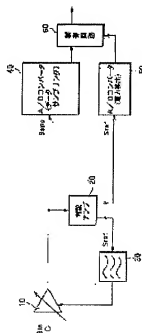
(72)Inventor : MATSUGAYA KAZUOKI

(54) SAMPLING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a sampling device that prevents adverse effect on circuits on the post-stage of an analog/digital conversion circuit.

SOLUTION: An analog/digital conversion circuit 40 converts an output signal from a gain control amplifier 10 into a digital signal, and a logarithmic amplifier 20 applies logarithmic conversion to the power of the output signal from the gain control amplifier 10 to output a resulting signal. A control circuit 60 predicts the power of an input signal to the analog/digital conversion circuit 40 in response to an output signal from the logarithmic amplifier 20 and starts collection of the digital signal outputted from the analog/digital conversion circuit 40 when it decides that the estimated power is below an upper limit samplable by the analog/digital conversion circuit 40.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-136036

(P2001-136036A)

(43) 公開日 平成13年5月18日 (2001.5.18)

(51) Int.Cl. ⁷	識別記号	F I	データベース(参考)
H 0 3 G	3/20	H 0 3 G	A 5 J 0 2 2
	3/30		B 5 J 1 0 0
			C
H 0 3 M	1/18	H 0 3 M	1/18

審査請求 未請求 請求項の数30 O L (全 22 頁)

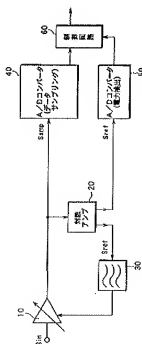
(21) 出願番号	特願平11-318650	(71) 出願人	000004260 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
(22) 出願日	平成11年11月9日(1998.11.9)	(72) 発明者	松ヶ谷 和伸 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
		(74) 代理人	100100022 弁理士 伊藤 洋二 (外2名) Fターム(参考) 5J022 A401 B408 C407 C410 C401 C402 5J100 J401 K404 L402 L404 L411 Q402

(54) 【発明の名称】 サンプルング装置

(57) 【要約】

【課題】 アナログーデジタル変換回路以降の回路への悪影響を抑える。

【解決手段】 アナログーデジタル変換回路40は、ゲインコントロールアンプ10から出力された出力信号をデジタル信号に変換し、対数アンプ20は、ゲインコントロールアンプ10からの出力信号の電力を対数変換して出力信号を出力する。制御回路60は、対数アンプ20からの出力信号に応じて、アナログーデジタル変換回路40への入力信号の電力を予測し、予測した電力が、アナログーデジタル変換回路40におけるサンプルング可能な上限電力以下であると判定したとき、アナログーデジタル変換回路40から出力されたデジタル信号の収集を開始する。



【特許請求の範囲】

【請求項1】 出力信号の電力を一定に保つように利得が制御されるゲインコントロールアンプ（10）と、前記ゲインコントロールアンプから出力された出力信号に応じて、デジタル信号を出力する第1のアナログデジタル変換回路（40）と、

前記ゲインコントロールアンプから出力された出力信号を出力検出回路（20）と、

前記出力検出回路から出力された出力信号に応じて、前記第1のアナログデジタル変換回路への入力信号の電力を予測する電力予測手段（110）と、

前記電力予測手段によって予測された電力が、前記第1のアナログデジタル変換回路におけるサンプリング可能な上限電力以下であると判定されたとき、前記第1のアナログデジタル変換回路から出力されたデジタル信号の収集を開始する信号収集手段（140）とを備えることを特徴とするサンプリング装置。

【請求項2】 前記ゲインコントロールアンプの利得は、前記出力検出回路から出力された出力信号に応じて制御されることを特徴とする請求項1に記載のサンプリング装置。

【請求項3】 前記出力検出回路から出力された出力信号をデジタル信号に変換する第2のアナログデジタル変換回路（50）を備え、

前記電力予測手段は、前記第2のアナログデジタル変換回路から出力されたデジタル信号に応じて、前記第1のアナログデジタル変換回路への入力信号の電力を予測することを特徴とする請求項1又は2に記載のサンプリング装置。

【請求項4】 前記ゲインコントロールアンプから出力された出力信号をベクトル復調するベクトル復調回路（80）を備え、

前記第1のアナログデジタル変換回路は、前記ベクトル復調回路から出力された復調信号に基づいてデジタル信号を出力し、

前記電力予測手段は、あらかじめ準備した前記ベクトル復調回路の変換利得データを参照して、前記第1のアナログデジタル変換回路への入力信号の電力を予測することを特徴とする請求項1ないし3のいずれか1つに記載のサンプリング装置。

【請求項5】 出力信号の電力を一定に保つように前記利得が制御されるゲインコントロールアンプ（10）と、

前記ゲインコントロールアンプから出力された出力信号に応じて、デジタル信号を出力する第1のアナログデジタル変換回路（40）と、

前記ゲインコントロールアンプへの入力信号を検出する入力検出器（20）と、

前記入力検出器から出力された出力信号に応じて、前記ゲインコントロールアンプへの前記入力信号の入力が開始されたか否かを判定する入力判定手段（100）と、前記入力検出器から出力された出力信号に応じて、前記ゲインコントロールアンプに前記入力信号が入力されてから前記ゲインコントロールアンプからの前記出力信号が一定値に達するまでの時間を予測する時間予測手段（110A）と、

前記入力判定手段が前記ゲインコントロールアンプへの入力信号の入力が開始されたと判定してから前記時間予測手段が予測した時間が経過したとき、前記第1のアナログデジタル変換回路から出力されたデジタル信号の収集を開始する信号収集手段（140）とを備えることを特徴とするサンプリング装置。

【請求項6】 前記ゲインコントロールアンプの利得は、前記入力検出器から出力された出力信号に応じて制御されることを特徴とする請求項5に記載のサンプリング装置。

【請求項7】 前記入力検出器から出力された出力信号をデジタル信号に変換する第2のアナログデジタル変換回路（50）を備え、

前記時間予測手段は、前記第2のアナログデジタル変換回路から出力されたデジタル信号に応じて、前記ゲインコントロールアンプへの入力信号が入力されてから前記出力信号が前記一定値に達するまでの時間を予測することを特徴とする請求項5又は6に記載のサンプリング装置。

【請求項8】 前記時間予測手段は、予め準備した前記ゲインコントロールアンプの伝達関数を参照して、前記ゲインコントロールアンプへの入力信号が入力されてから前記出力信号が前記一定値に達するまでの時間を予測することを特徴とする請求項5〜7のいずれか1つに記載のサンプリング装置。

【請求項9】 前記ゲインコントロールアンプから出力された出力信号を検出する出力検出器（70）を備え、前記ゲインコントロールアンプの利得は、前記出力検出器から出力された出力信号に応じて制御されることを特徴とする請求項5ないし8のいずれか1つに記載のサンプリング装置。

【請求項10】 出力信号の電力を一定に保つように利得が制御されるゲインコントロールアンプ（10）と、前記ゲインコントロールアンプから出力された出力信号に応じて、デジタル信号を出力する第1のアナログデジタル変換回路（40）と、

前記ゲインコントロールアンプへの入力信号を検出する入力検出器（20）と、

前記入力検出器から出力された出力信号に応じて、前記ゲインコントロールアンプへの前記入力信号の入力が開

始されたか否かを判定する入力判定手段（100）と、前記入力判定手段が前記ゲインコントロールアンプへの入力信号の入力が開始されたと判定してから一定時間が経過したとき、前記第1のアナログデジタル変換回路から出力されたデジタル信号の収集を開始する信号収集手段（140）とを備えることを特徴とするサンプリング装置。

【請求項11】 前記ゲインコントロールアンプの利得は、前記入力検出器から出力された出力信号に応じて制御されることを特徴とする請求項10に記載のサンプリング装置。

【請求項12】 前記入力検出器から出力された出力信号をデジタル信号に変換する第2のアナログデジタル変換回路（50）を備え、前記入力判定手段は、前記第2のアナログデジタル変換回路から出力されたデジタル信号に応じて、前記ゲインコントロールアンプへの前記入力信号の入力が開始されたか否かを判定することを特徴とする請求項10又は11に記載のサンプリング装置。

【請求項13】 前記第1のアナログデジタル変換回路におけるサンプリング可能な上限電力を越える電力が前記第1のアナログデジタル変換回路に入力されることを防止する防止手段（92、94）を備えることを特徴とする請求項10ないし12のいずれか1つに記載のサンプリング装置。

【請求項14】 前記防止手段は、前記ゲインコントロールアンプからの出力信号の電力を減衰させる減衰手段（94）を有し、

前記ゲインコントロールアンプへの前記入力信号に応じて、前記第1のアナログデジタル変換回路に入力される電力が、前記第1のアナログデジタル変換回路におけるサンプリング可能な上限電力以下になるように前記減衰手段を制御する減衰制御回路（41、93）を備えることを特徴とする請求項13に記載のサンプリング装置。

【請求項15】 前記減衰制御回路は、前記ゲインコントロールアンプへの前記入力信号に応じて、前記入力信号の立ち上がり時におけるレベルが徐々に上昇するようにした出力電圧を出力する出力信号回路（41）と、前記出力信号回路からの出力信号に基づいて、前記レベル制御回路からの出力信号のレベルが高くなるほど前記電力の減衰量が小さくなるように前記減衰手段を制御するレベル制御回路（93）とを有することを特徴とする請求項14に記載のサンプリング装置。

【請求項16】 前記入力検出器は、前記ゲインコントロールアンプへの前記入力信号の電力を対数変換した値に対応した出力信号を出力することを特徴とする請求項10ないし15のいずれか1つに記載のサンプリング装置。

【請求項17】 出力信号の電力を一定に保つように利得が制御されるゲインコントロールアンプ（10）と、前記ゲインコントロールアンプから出力された出力信号に応じて、デジタル信号を出力する第1のアナログデジタル変換回路（40）と、前記ゲインコントロールアンプから出力された出力信号を検出する出力検出器（20）と、前記出力検出器から出力された出力信号に応じて、前記ゲインコントロールアンプへの前記入力信号の入力が開始されたか否かを判定する入力判定手段（100）と、前記入力判定手段が前記ゲインコントロールアンプへの入力信号の入力が開始されたと判定してから一定時間が経過したとき、前記第1のアナログデジタル変換回路から出力されたデジタル信号の収集を開始する信号収集手段（140）とを備えることを特徴とするサンプリング装置。

【請求項18】 前記ゲインコントロールアンプの利得は、前記出力検出器から出力された出力信号に応じて制御されることを特徴とする請求項17に記載のサンプリング装置。

【請求項19】 前記出力検出器から出力された出力信号をデジタル信号に変換する第2のアナログデジタル変換回路（50）を備え、

前記入力判定手段は、前記第2のアナログデジタル変換回路から出力されたデジタル信号に応じて、前記ゲインコントロールアンプへの前記入力信号の入力が開始されたか否かを判定することを特徴とする請求項17又は18に記載のサンプリング装置。

【請求項20】 前記出力検出器から出力された出力信号と閾値とを比較する検出比較回路（95）を備え、前記入力判定手段は、前記検出比較回路による比較に応じて、前記ゲインコントロールアンプへの前記入力信号の入力が開始されたか否かを判定することを特徴とする請求項17ないし19のいずれか1つに記載のサンプリング装置。

【請求項21】 前記ゲインコントロールアンプ及び前記第1のアナログデジタル変換回路の間を接続又は遮断するスイッチ手段（92）と、前記ゲインコントロールアンプへの入力信号の入力が開始されてから前記一定時間が経過したとき、前記ゲインコントロールアンプ及び前記第1のアナログデジタル変換回路の間を接続するように前記スイッチ手段を制御するスイッチ制御回路（90、91）とを備えることを特徴とする請求項17ないし20のいずれか1つに記載のサンプリング装置。

【請求項22】 前記スイッチ制御回路は、前記ゲインコントロールアンプから出力された出力信号を前記一定時間だけ遅延させる遅延回路（20）と、前記遅延回路から出力された出力信号と閾値との比較に応じて、前記スイッチ手段を制御する制御比較回路（9

1)とを備えることを特徴とする請求項21に記載のサンプリング装置。

【請求項23】 前記一定時間は、前記ゲインコントロールアンプに入力信号が入力されてから前記入力信号が一発的に途切れるまでの時間以上で、かつ、送信データフレームの先頭に設けられた信号の時間以下であることを特徴とする請求項10ないし22のいずれか1つに記載のサンプリング装置。

【請求項24】 前記ゲインコントロールアンプから出力された出力信号をベクトル低減するベクトル復調回路(80)を有し、

前記第1のアナログデジタル変換回路は、前記ベクトル復調回路から出力された復調信号をデジタル信号に変換することを特徴とする請求項1ないし3、5ないし23のいずれか1つに記載のサンプリング装置。

【請求項25】 前記ゲインコントロールアンプは、前記利得が、前記ゲインコントロールアンプから出力される出力信号に対し自動的に変動するように制御されることを特徴とする請求項1ないし24のいずれか1つに記載のサンプリング装置。

【請求項26】 前記出力検出器は、前記ゲインコントロールアンプから出力された出力信号の電力を対数変換した値に対応した出力信号を出力することを特徴とする1ないし4、17ないし25のいずれか1つに記載のサンプリング装置。

【請求項27】 出力信号の電力を一定に保つように利得が制御されるゲインコントロールアンプ(10)と、前記ゲインコントロールアンプから出力された出力信号に応じて、デジタル信号を出力する第1のアナログデジタル変換回路(40)と、前記ゲインコントロールアンプから出力される出力信号のうち、前記第1のアナログデジタル変換回路におけるサンプリング可能な上限電力を超える信号を破棄する破棄手段(50、60)とを備えることを特徴とするサンプリング装置。

【請求項28】 前記ゲインコントロールアンプから出力された出力信号の電力を対数変換した値に対応した出力信号を出力する対数アンプ(20)を備え、前記破棄手段は、前記対数アンプから出力された出力信号に応じて、前記ゲインコントロールアンプから出力される出力信号のうち、前記第1のアナログデジタル変換回路におけるサンプリング可能な上限電力を超える信号を破棄することを特徴とする請求項27に記載のサンプリング装置。

【請求項29】 前記ゲインコントロールアンプへの入力信号を検出する入力検出器(20)を備え、前記破棄手段は、前記入力検出器から出力された出力信号に応じて、前記ゲインコントロールアンプから出力される出力信号のうち、前記第1のアナログデジタル変換回路におけるサンプリング可能な上限電力を超える信

号を破棄することを特徴とする請求項28に記載のサンプリング装置。

【請求項30】 出力信号の電力を一定に保つように利得が制御されるゲインコントロールアンプ(10)と、前記ゲインコントロールアンプから出力された出力信号に応じて、デジタル信号を出力する第1のアナログデジタル変換回路(40)と、前記ゲインコントロールアンプから出力される出力信号のうち、前記第1のアナログデジタル変換回路におけるサンプリング可能な上限電力以下のものだけを前記第1のアナログデジタル変換回路に出力する信号出力手段(92)とを備えることを特徴とするサンプリング装置。

【発明の詳細な説明】

【0001】
【発明の属する技術分野】本発明は、アナログ信号をデジタル変換するサンプリング装置に関する。

【0002】
【従来の技術】無線通信、特に、ディジタル無線通信システムとしては、ディジタル信号を処理するベースバンド回路と、アナログ信号を処理するRF回路とを有して構成されている。

【0003】 一般的に、送信回路では、ベースバンド回路とRF回路とのインターフェース回路としては、デジタルアナログ変換回路(D/Aコンバータ)が用いられ、受信回路では、ベースバンド回路とRF回路とのインターフェース回路としては、アナログデジタル変換回路が用いられている。

【0004】 ここで、受信回路でのアナログデジタル変換回路は、アナログ信号をデジタル変換(サンプリング)するとき、分解能が低いと、いわゆる量子化雑音が発生し伝送した信号の質を悪化させるといった問題がある。

【0005】 しかしながら、現実問題として、通信システムのデータ伝送速度に対応できるようにアナログデジタル変換回路では、分解能が8bitから14bit程度であり、量子化雑音を抑制するには、アナログデジタル変換回路に入力する信号の電力を適正レベルに調節する必要がある。

【0006】 このように、信号の電力を適正レベルに調節する回路としては、例えば、ゲインコントロールアンプ、電力検出器、及びローパスフィルタを組み合わせてフィードバック回路を構成する、いわゆる自動利得調節回路(Auto Gain Control: AGC)が知られている。

【0007】 しかし、自動利得調節回路とアナログデジタル変換回路とによりサンプリング動作を構成し、アナログデジタル変換回路によって、自動利得調節回路から出力された出力信号のデジタル信号(サンプリングデータ)を得るようにしている。

【0008】ここで、自動利得調節回路では、電力検出器は、ゲインコントロールアンプから出力される電力をモニタ（監視）し、モニタした結果をローパスフィルタを通してゲインコントロールアンプのゲイン調節端子に出力する。そして、ローパスフィルタの通過帯域を調節することで、利得調節の応答速度を変えることができるようになっている。

【0009】しかして、近年開発が進められている、無線を用いた高速のデータ通信システムでは、既存のコンピュータネットワークシステムとの融合を図るため、データがパケットと呼ばれる小さな単位によって、伝送されることが多い。しかし、無線通信では、有線通信に比べて、伝送速度の損失が一定でなく、送受信器相互の距離に応じて信号強度が大きく変動するといった問題がある。

【0010】これに対して、信号強度の変動を補正するために、図24に示すように、データパケットに先立ちプリアンプと呼ばれる既知の情報伝送し、データパケットと合わせてフレームを構成し、受信器が、プリアンプを迅速に検知し、このプリアンプを用いて、電力の補正、伝送遅延、若しくはタイミングの同期を取るようになっている。

【0011】

【発明が解決しようとする課題】ところで、上述したサンプリング装置においては、自動利得調節回路は、受信信号を検出した瞬間では最大利得で受信信号を処理するため、当該検知後からフィードバック制御の効果が現れるまでの間は、自動利得調節回路から過大な電力が出力される。

【0012】従って、自動利得調節回路から出力された電力が、アナログ→デジタル変換回路におけるサンプリング可能上限電力を超えたとき、アナログ→デジタル変換回路が正確にデジタル変換することができない。このため、正確なデジタル信号が得られず、アナログ→デジタル変換回路以降の電子回路、例えば、ベースバンド回路への悪影響をきたすという問題がある。

【0013】本発明は、上記点に鑑み、アナログ→デジタル変換回路以降の電子回路への悪影響を抑えるようにしたサンプリング装置を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明は、上記目的を達成するために、請求項1に記載の発明では、出力信号の電力を一定に保つように利得が制御されるゲインコントロールアンプ（10）と、ゲインコントロールアンプから出力された出力信号に応じて、デジタル信号を出力する第1のアナログ→デジタル変換回路（40）と、ゲインコントロールアンプから出力された出力信号を出力検出回路（20）と、出力検出回路から出力された出力信号に応じて、第1のアナログ→デジタル変換回路への入力信号の電力を予測する電力予測手段（110）と、電

力予測手段によって予測された電力が、第1のアナログ→デジタル変換回路におけるサンプリング可能な上限電力以下であるかを判定する電力判定手段（120）と、電力判定手段によって、予測された電力が第1のアナログ→デジタル変換回路におけるサンプリング可能な上限電力以下であると判定されたとき、第1のアナログ→デジタル変換回路から出力されたデジタル信号の収集を開始する信号収集手段（140）とを備えることを特徴とする。

【0015】これにより、信号収集手段によって、第1のアナログ→デジタル変換回路が正しくサンプリングできた時間領域の信号だけを取り出すことが可能となる。この結果、第1のアナログ→デジタル変換回路におけるサンプリング可能な上限電力を超える電力が第1のアナログ→デジタル変換回路に入力されたときに発生しうる現象、例えば、第1のアナログ→デジタル変換回路から出力されたデジタル信号が上限の値に飽和してしまう現象などを回避できる。このため、第1のアナログ→デジタル変換回路以降の信号処理手段、例えば、ベースバンド回路が信号処理時に不適切なデジタル信号（サンプリングデータ）を用いて電力の補正などを行うことを防止することができる。

【0016】請求項2に記載の発明では、ゲインコントロールアンプの利得は、出力検出回路から出力された出力信号に応じて制御されるので、ゲインコントロールアンプの利得を精度良く制御することができる。

【0017】ここで、ゲインコントロールアンプの利得の制御にあたり、出力検出回路から出力された出力信号を利用して、ゲインコントロールアンプから出力された出力信号の電力を検出するための検出回路を新に設ける必要がない。

【0018】請求項3に記載の発明では、出力検出回路から出力された出力信号をデジタル信号に変換する第2のアナログ→デジタル変換回路（50）を備え、電力予測手段は、第2のアナログ→デジタル変換回路から出力されたデジタル信号に応じて、第1のアナログ→デジタル変換回路への入力信号の電力を予測するので、電力予測手段は、第1のアナログ→デジタル変換回路への入力信号の電力を精度良く予測することができる。

【0019】ここで、デジタル通信システムの受信器では、位相変調を用いることが多く、ベクトル変換器をもちいて変調/復調を行うことが一般的である。そこで、請求項4に記載の発明では、ゲインコントロールアンプから出力された出力信号をベクトル復調するベクトル復調回路（80）を備え、第1のアナログ→デジタル変換回路は、ベクトル復調回路から出力された復調信号に基づいてデジタル信号を出力するようにしている。この構成により、デジタル通信システムの変調器、より一般的に構成において本発明を適用することができ

9

【0020】しかして、請求項4の発明では、電力予測手段は、あらかじめ準備したベクトル復調回路の変換利得データを参照して、第1のアナログデジタル変換回路への入力信号の電力を予測するので、ベクトル復調回路を採用したときであっても、第1のアナログデジタル変換回路への入力信号の電力の予測を、精度良く行うことができる。

【0021】請求項5に記載の発明では、出力信号の電力を一定に保つように利得が制御されるゲインコントロールアンプ（10）と、ゲインコントロールアンプから出力された出力信号に応じて、デジタル信号を出力する第1のアナログデジタル変換回路（40）と、ゲインコントロールアンプへの入力信号を抽出する入力抽出器（20）と、入力抽出器から出力された出力信号に応じて、ゲインコントロールアンプに人力信号が人力されてからゲインコントロールアンプからの出力信号が一定値に達するまでの時間を予測する時間予測手段（110A）と、入力判定手段がゲインコントロールアンプへの入力信号の人力が開始されたときと判定してから時間予測手段が予測した時間が経過したとき、第1のアナログデジタル変換回路から出力されたデジタル信号の収集を開始する信号収集手段（140）とを備えることを特徴とする。

【0022】これにより、ゲインコントロールアンプから出力された出力信号のうち第1のアナログデジタル変換回路におけるサンプリング可能な上限電力以下の信号に対応するデジタル信号だけを得ることができるので、請求項1に記載の発明の効果をjつることができる。

【0023】請求項6に記載の発明では、ゲインコントロールアンプの利得は、人力抽出器から出力された出力信号に応じて制御されるようにしてもよい。

【0024】請求項7に記載の発明では、人力抽出器から出力された出力信号をデジタル信号に変換する第2のアナログデジタル変換回路（50）を備え、時間予測手段は、第2のアナログデジタル変換回路から出力されたデジタル信号に応じて、ゲインコントロールアンプへの入力信号が人力されてから出力信号が一定値に達するまでの時間を予測することができる。

【0025】ここで、請求項8に記載の発明では、時間予測手段は、予め準備したゲインコントロールアンプの伝達関数を参照して、ゲインコントロールアンプへの入力信号が人力されてから出力信号が一定値に達するまでの時間を予測するので、請求項7に記載の発明に比べて、時間予測手段による時間の予測を精度良く行うことができる。

【0026】請求項9に記載の発明では、ゲインコントロールアンプから出力された出力信号を抽出する出力抽出器（70）を備え、ゲインコントロールアンプの利得

10

は、出力抽出器から出力された出力信号に応じて制御されるようにしてもよい。

【0027】請求項10に記載の発明では、出力信号の電力を一定に保つように利得が制御されるゲインコントロールアンプ（10）と、ゲインコントロールアンプから出力された出力信号に応じて、デジタル信号を出力する第1のアナログデジタル変換回路（40）と、ゲインコントロールアンプへの入力信号を抽出する入力抽出器（20）と、入力抽出器から出力された出力信号に応じて、ゲインコントロールアンプへの入力信号の人力が開始されたときかを判定する入力判定手段（100）と、入力判定手段がゲインコントロールアンプへの入力信号の人力が開始されたときと判定してから一定時間が経過したとき、第1のアナログデジタル変換回路から出力されたデジタル信号の収集を開始する信号収集手段（140）とを備えることを特徴とする。

【0028】これにより、ゲインコントロールアンプから出力された出力信号のうち第1のアナログデジタル変換回路におけるサンプリング可能な上限電力以下の信号に対応するデジタル信号だけを得ることができるので、請求項1に記載の発明の効果をjつすることができる。

【0029】請求項11に記載の発明では、ゲインコントロールアンプの利得は、人力抽出器から出力された出力信号に応じて制御されるようにしてもよい。

【0030】請求項12に記載の発明においては、人力抽出器から出力された出力信号をデジタル信号に変換する第2のアナログデジタル変換回路（50）を備え、入力判定手段は、第2のアナログデジタル変換回路から出力されたデジタル信号に応じて、ゲインコントロールアンプへの入力信号の人力が開始されたときかを判定するようにしてもよい。

【0031】請求項13に記載の発明では、第1のアナログデジタル変換回路におけるサンプリング可能な上限電力を越える電力が第1のアナログデジタル変換回路に入力されることを防止する防止手段（92、94）を備えることを特徴とする。

【0032】これにより、サンプリング可能な上限電力を越える電力が第1のアナログデジタル変換回路に入力されることで生じる第1のアナログデジタル変換回路の故障を未然に防止できる。

【0033】請求項14に記載の発明では、防止手段は、ゲインコントロールアンプからの出力信号の電力を減衰させる減衰手段（94）を有し、ゲインコントロールアンプへの入力信号に応じて、第1のアナログデジタル変換回路に入力される電力が、第1のアナログデジタル変換回路におけるサンプリング可能な上限電力以下になるように減衰手段を制御する減衰制御回路（41、93）を備えるようにしてもよい。

【0034】具体的に、請求項15に記載の発明のように、減衰制御回路は、ゲインコントロールアンプへの

前記入力信号に応じて、入力信号の立ち上がり時に於けるレベルが漸かに上昇するようにした出力信号を出力する出力信号回路(41)と、出力信号回路からの出力信号に基づいて、レベル抑制回路からの出力信号のレベルが高くなるほど前記電圧の減衰量が小さくなるように減衰手段を制御するレベル制御回路(93)とを有するようにしてもよい。

【0035】請求項16に記載の発明では、入力検出器は、ゲインコントロールアンプへの入力信号の電圧を対数変換した値に対応した出力信号を出力することを特徴とする。

【0036】このような入力検出器を用いてゲインコントロールアンプの利得への制御を行うので、広いダイナミックレンジをもってゲインコントロールアンプの利得への制御を行うことになる。従って、ゲインコントロールアンプの利得への制御を精度良く行うことができる。

【0037】請求項17に記載の発明では、出力信号の電圧を一定に保つように利得が制御されるゲインコントロールアンプ(10)と、ゲインコントロールアンプから出力された出力信号に応じて、デジタル信号を出力する第1のアナログデジタル変換回路(40)と、ゲインコントロールアンプから出力された出力信号を検出する出力検出器(20)と、出力検出器から出力された出力信号に応じて、ゲインコントロールアンプへの入力信号のレベルが開始されたか否かを判定する入力判定手段(100)と、入力判定手段がゲインコントロールアンプへの入力信号のレベルが開始されたか判定してから一定時間が経過したとき、第1のアナログデジタル変換回路から出力されたデジタル信号の収集を開始する信号収集手段(140)とを備えることを特徴とする。

【0038】これにより、請求項10に記載の発明と実質的に同様の効果を得られる。

【0039】請求項18に記載の発明では、ゲインコントロールアンプの利得は、出力検出器から出力された出力信号に応じて制御されるようにしてもよい。

【0040】請求項19に記載の発明では、出力検出器から出力された出力信号をデジタル信号に変換する第2のアナログデジタル変換回路(50)を備え、入力判定手段は、第2のアナログデジタル変換回路から出力されたデジタル信号に応じて、ゲインコントロールアンプへの入力信号のレベルが開始されたか否かを判定されるようにしてもよい。

【0041】請求項20に記載の発明では、出力検出器から出力された出力信号と閾値とを比較する検出比較回路(95)を備え、入力判定手段は、検出比較回路による比較に応じて、ゲインコントロールアンプへの入力信号のレベルが開始されたか否かを判定することを特徴とする。

【0042】これにより、サンプリング可能な上限電圧を越える電圧が第1のアナログデジタル変換回路に入

力されることで生じる第1のアナログデジタル変換回路の故障を未然に防止できる。

【0043】請求項21に記載の発明では、ゲインコントロールアンプ及び第1のアナログデジタル変換回路の間を接続或いは遮断するスイッチ手段(92)と、ゲインコントロールアンプへの入力信号のレベルが開始してから一定時間が経過したとき、ゲインコントロールアンプ及び第1のアナログデジタル変換回路の間を接続するようにスイッチ手段を制御するスイッチ制御回路(90、91)とを備えるようにしてもよい。

【0044】請求項22に記載の発明では、スイッチ制御回路は、ゲインコントロールアンプから出力された出力信号を一定時間だけ遅延させる遅延回路(20)と、遅延回路から出力された出力信号と閾値との比較に応じて、スイッチ手段を制御する制御比較回路(91)とを備えるようにしてもよい。

【0045】請求項23に記載の発明では、一定時間は、ゲインコントロールアンプに入力信号が入力されてから入力信号が一定値に達するまでの時間以上で、かつ、送信データフレームの先頭に設けられた信号の時間以下であることを特徴とする。

【0046】これにより、送信データフレームのうち先頭より後側の信号を精度良く得ることができるので、例えば、ペーパバンド回路でもって、送信データフレームのうち先頭より後側の信号を用いて、信号処理を精度良く行うことができる。

【0047】請求項24に記載の発明では、ゲインコントロールアンプから出力された出力信号をベクトル復調するベクトル復調回路(80)を有し、第1のアナログデジタル変換回路は、ベクトル復調回路から出力された復調信号をデジタル信号に変換するようにしてもよい。

【0048】請求項25に記載の発明では、ゲインコントロールアンプは、利得が、ゲインコントロールアンプから出力される出力信号に対して対数的に変動するように制御されるようにしてもよい。

【0049】請求項26に記載の発明では、出力検出器としては、ゲインコントロールアンプから出力された出力信号の電圧を対数変換した値に対応した出力信号を出力することを特徴とする。

【0050】このような出力検出器を用いてゲインコントロールアンプの利得への制御を行うので、広いダイナミックレンジをもってゲインコントロールアンプの利得への制御を行うことになる。従って、ゲインコントロールアンプの利得への制御を精度良く行うことができる。

【0051】請求項27に記載の発明では、出力信号の電圧を一定に保つように利得が制御されるゲインコントロールアンプ(10)と、ゲインコントロールアンプから出力された出力信号に応じて、デジタル信号を出力する第1のアナログデジタル変換回路(40)と、ゲイ

ンコントロールアンプから出力される出力信号のうち、第1のアナログ・デジタル変換回路におけるサンプリング可能な上限電力を超える信号を破棄する破棄手段(50、60)とを備えることを特徴とする。

【0052】これにより、ゲインコントロールアンプから出力された出力信号のうち上記上限電力以下の信号に応じたデジタル信号を得ることができるので、請求項1と同様の効果が得られる。

【0053】ここで、請求項28に記載の発明では、ゲインコントロールアンプから出力された出力信号の電力を対数変換した値に対応した出力信号を出力する対数アンプ(20)を備え、破棄手段は、対数アンプから出力された出力信号に応じて、ゲインコントロールアンプから出力される出力信号のうち、第1のアナログ・デジタル変換回路におけるサンプリング可能な上限電力を超える信号を破棄するようにしてもよい。

【0054】ここで、請求項29に記載の発明では、ゲインコントロールアンプへの入力信号を検出する入力検出器(20)を備え、破棄手段は、入力検出器から出力された出力信号に応じて、ゲインコントロールアンプから出力される出力信号のうち、第1のアナログ・デジタル変換回路におけるサンプリング可能な上限電力を超える信号を破棄するようにしてもよい。

【0055】請求項30に記載の発明では、出力信号の電力を一定に保つように利得が制御されるゲインコントロールアンプ(10)と、ゲインコントロールアンプから出力された出力信号に応じて、デジタル信号を出力する第1のアナログ・デジタル変換回路(40)と、ゲインコントロールアンプから出力される出力信号のうち、第1のアナログ・デジタル変換回路におけるサンプリング可能な上限電力以下のものだけを第1のアナログ・デジタル変換回路に出力する信号出力手段(92)とを備えることを特徴とする。

【0056】これにより、ゲインコントロールアンプから出力された出力信号のうち上記上限電力以下の信号に応じたデジタル信号だけを、第1のアナログ・デジタル変換回路から出力させることができるので、請求項1と同様の効果が得られる。

【0057】因みに、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示す一例である。

【0058】

【発明の実施の形態】以下、本発明を図に示す各実施形態について説明する。

【0059】(第1実施形態) 図1に本発明に係るサンプリング装置の第1実施形態を示す。図1はサンプリング装置の回路構成を示すブロック図である。サンプリング装置は、ゲインコントロールアンプ10、対数アンプ20、ローパスフィルタ30、第1及び第2のアナログ・デジタル変換回路40、50、及び制御回路60によ

って構成されている。

【0060】ゲインコントロールアンプ10は、制御電圧(制御信号)に基づいて利得が制御可能になっているものであって、入力信号S_{in}を当該利得に基づいて増幅して増幅信号(以下、出力信号S_{amp}という)を対数アンプ20及び第1のアナログ・デジタル変換回路40に出力する。但し、ゲインコントロールアンプ10としては、制御電圧に対して利得が対数的に変化するタイプ(例えば、1Vの変動に対し10dB利得が変わるようなタイプ)が望ましい。

【0061】対数アンプ20は、出力信号S_{amp}の電力を対数表した値に対応した電圧を出力信号S_{ref}としてローパスフィルタ30及び第2のアナログ・デジタル変換回路50に出力する。なお、対数アンプ20としては、例えば、公知技術である逐次比較型のアンプを用いればよい。

【0062】ローパスフィルタ30は、対数アンプ20からの出力信号S_{ref}に基づいてフィルタ信号を上記制御電圧としてゲインコントロールアンプ10の利得調整素子に出力する。なお、ローパスフィルタ30としては、サンプリング装置の制御による所望の応答速度に応じてカットオフ周波数を調節すればよい。

【0063】ここで、ゲインコントロールアンプ10は、対数アンプ20及びローパスフィルタ30と組み、クロズドループ(フィードバック回路)の自動利得調節回路を形成し、この自動利得調節回路は、ゲインコントロールアンプ10からの出力信号S_{amp}の電力をほぼ一定に保つように動作する。

【0064】第1のアナログ・デジタル変換回路40は、ゲインコントロールアンプ10からの出力信号S_{amp}をデータサンプリングしてサンプリングデータを制御回路60に出力し、第2のアナログ・デジタル変換回路50は、対数アンプ20からの出力信号S_{ref}をデータサンプリングしてサンプリングデータを入力信号の電力検出のために制御回路60に出力する。制御回路60は、図3に示すフローチャートに従って、サンプリングデータの取集処理を行う。

【0065】次に、制御回路60の作動の説明に先立って、上記の構成における、各信号の時間的変化を図2(a)～(c)を参照して説明する。図2(a)は、入力信号S_{in}の電力の波形図、図2(b)はゲインコントロールアンプ10からの出力信号S_{amp}の電力の波形図、図2(c)は、対数アンプ20からの出力信号S_{ref}の電力の波形図である。

【0066】まず、入力信号S_{in}の電力が、図2(a)に示すように方形波状に変化したとき、ゲインコントロールアンプ10では、入力信号S_{in}が入力する直前は、ゲインコントロールアンプ10の利得が最大利得で待機しているため、出力信号S_{amp}の電力は、図2(b)に示すように、信号が入力された瞬間に一旦出

方が大きくオーバーシュートした後、利得制御が作用し始め、制御目標に近づくように変化する。

【0067】ここで、図2(a)中斜線で示した部分が、第1のアナログデジタル変換回路40によってサンプリング可能である上限電力 P_{max} を超えるため、第1のアナログデジタル変換回路40が図2(a)中斜線で示した部分を正しくサンプリングできない。

【0068】一方、対数アンプ20は、ゲインコントロールアンプ10に比べて、ダイナミックレンジが広く、対数アンプ20は、出力信号 S_{ref} (出力電圧)を、出力信号 S_{smp} の電力を対数変換(対数表示)した値に比例して出力する。

【0069】従って、図2(c)に示すように、出力信号 S_{ref} がオーバーシュートした瞬間でも、第1のアナログデジタル変換回路40のサンプリング可能である上限を超えることはない。このため、第1のアナログデジタル変換回路40は、出力信号 S_{ref} がオーバーシュートした瞬間でも、出力信号 S_{ref} をサンプリングすることができる。

【0070】以下に、制御回路60の動作につき図3を参照して説明する。制御回路60は、図3に示すフローチャートに従ってサンプリングデータ収集処理を行う。

【0071】先ず、第2のアナログデジタル変換回路50からのサンプリングデータに基づいて、対数アンプ20からの出力信号 S_{ref} の電圧が、予め決めておいた閾値 V_{tho} を超えたかを判定し(ステップ100)、出力信号 S_{ref} の電圧が予め決めておいた閾値 V_{tho} を超えたとき(出力信号 S_{ref} の電圧>閾値 V_{tho})、入力信号 S_{in} が入力されたと判定する。これにより、ゲインコントロールアンプ10への入力信号のタイミングを得ることができる。

【0072】次に、第2のアナログデジタル変換回路50から出力されたサンプリングデータ(対数アンプ20からの出力信号 S_{ref} の電圧)に基づいて、ゲインコントロールアンプ10からの出力信号 S_{smp} の電力を予測する(ステップ110)。すなわち、出力信号 S_{smp} の電力が第2のアナログデジタル変換回路50によるサンプリングデータに基づいて推算されることになる。

【0073】なお、図1に示す電圧周路構成において、出力信号 S_{smp} は、出力信号 S_{ref} の電圧(電力)に対して対数で変化する)を、リア表示に変換した電力をとるため、容易に予測することができる。

【0074】次に、ステップ110で予測した出力信号 S_{smp} の電力が、第1のアナログデジタル変換回路40のサンプリング可能上限電力 P_{max} を超えるかを判定し(ステップ120)、出力信号 S_{smp} の電力がサンプリング可能上限電力 P_{max} を超えるとき、第1のアナログデジタル変換回路40のサンプリングデータ(デジタル信号)を複製する(ステップ13

0)。

【0075】ここで、ゲインコントロールアンプ10は、第1のアナログデジタル変換回路40とともに、上述の如く複製されたサンプリングデータ(デジタル信号)としては、図16に示すブリアンブルのうち電力信号用信号の一部に対応するように設定されている。これにより、出力信号 S_{smp} の電力がサンプリング可能上限電力 P_{max} を超えると、第1のアナログデジタル変換回路40によるサンプリングデータをベースバンド回路での処理には用いなくにする。

【0076】一方、ステップ110で予測した出力信号 S_{smp} が第1のアナログデジタル変換回路40のサンプリング可能上限電力 P_{max} 以下になったとき、第1のアナログデジタル変換回路40によるサンプリングデータ(デジタル信号)の採取を開始し、ベースバンド回路にサンプリングデータを送り、上記ベースバンド回路によって信号処理を実行させる(ステップ140)。

【0077】次に、対数アンプ20からの出力信号 S_{ref} の電圧が、予め決めておいた閾値 V_{tho} を超えた否かを判定し(ステップ100)、出力信号 S_{ref} の電圧が予め決めておいた閾値 V_{tho} を超えたとき、入力信号 S_{in} が入力されていると判定し、ステップ140の処理を行う。その後、入力信号 S_{in} の電力が停止するまで、すなわち S_{ref} がしきい値 V_{tho} 以下になるまでステップ140の処理を繰り返すことになる。

【0078】以上のように、ゲインコントロールアンプ10からの出力信号 S_{smp} の電力を予測し、予測した出力信号 S_{smp} が第1のアナログデジタル変換回路40のサンプリング可能上限電力 P_{max} 以下になったとき、第1のアナログデジタル変換回路40によるサンプリングデータの採取を開始する。従って、制御回路60によって収集されたサンプリングデータを処理するベースバンド回路では、第1のアナログデジタル変換回路40が正しくサンプリングできた時間領域の信号だけを取出して信号処理を行うことが可能となる。

【0079】この結果、第1のアナログデジタル変換回路40に、サンプリング可能上限電力 P_{max} の電力を入力してサンプリングしたときに発生する現象、例えば、サンプリングデータが第1のアナログデジタル変換回路40の上限の値に飽和する現象などを回避できる。従って、上述した上限の値に飽和した状態のサンプリング結果をもって、制御回路60以降の信号処理回路に悪影響を与えることを防止できる。例えば、ベースバンド回路が、第1のアナログデジタル変換回路40の上限の値に飽和した状態のサンプリング結果を用いて電力の補正などを行うことを防止することができる。

【0080】ところで、従来、図25に示すように、自利得調節回路1、遅延回路2、信号抽出回路3、及びローパスフィルタ4によりオープンループ回路を構成す

るサンプリング装置がある（特開平 7-212153 号公報参照）。

【0081】ここで、自動利得調節回路 1 には、入力信号が遅延回路 2 を通して入力されるため、自動利得調節回路 1 への入力信号の電力にあり、遅延回路 2 のによる遅延時間が生じ、信号検出回路 3 は、上記遅延時間内において、入力信号に基づいて自動利得調節回路 1 への制御信号をローパスフィルタを通して出力する。従って、自動利得調節回路 1 は、上記遅延時間を利用して、上記制御信号に基づいて出力電力を適正レベルに制御するようになっている。

【0082】しかし、図 2 に示すサンプリング装置では、入力信号が伝達される経路（自動利得調節回路 1 及び入力端子 5 の間）に遅延回路 2 が配置されている。この遅延回路 2 の実施にあたっては、インダクティブ/キャパシティブ回路や、多数のアンプを入れる手段などが上げられているが、これらの手段では、いずれも、信号線の帯域において、位相を均一に保持しつつ伝送することが困難である。

【0083】とくに、データ伝送速度の速い通信システムにおいては、信号線の帯域幅は広くなる傾向にある。また、デジタル無線通信の場合、変調方式には位相変調が用いられることが多く、帯域内の位相情報を乱れなく伝送することは極めて重要である。

【0084】これに対して、本実施形態のサンプリング装置では、入力信号が伝達される経路において、遅延回路を配置しないので、入力信号の位相を均一に保持することができる。従って、本実施形態のサンプリング装置としては、変調方式には位相変調を採用したデジタル無線通信に對しても、良好に適用することができる。

【0085】また、図 2 に示すサンプリング装置では、上述の如く、遅延回路 2 によって信号が遅延されるからアナログ-デジタル変換回路に伝達されるため、このアナログ-デジタル変換回路に接続されるベースバンド回路は、実際に信号が受信器に入ったタイミング（瞬間）を検知することができず、遅延回路 2 の遅れ時間分だけ遅れて検知するといった問題もある。

【0086】これに対して、本実施形態では、上述の如く、入力信号が伝達される経路において、遅延回路を配置してなく、第 2 のアナログ-デジタル変換回路 5 0 からのサンプリングデータに基づいてサンプリング装置への入力信号の入力のタイミングを判定しているため、サンプリング装置への入力信号の入力のタイミングとしては、精度の良いものになる。

【0087】また、ゲインコントロールアンプ 1 0 としては、対数アンプ 2 0 から出力された出力信号に対して利得が対数的に変動するものを用いているので、対数アンプ 2 0 と組み合わせて自動利得調節回路の利得調節の精度を高めると共に、対数-リニア変換回路等を必要と

せず、簡素な回路構成で実現することが可能となる。

【0088】（第 2 実施形態）次に、第 2 実施形態につき図 4、図 5 (a) ~ (c) を参照して説明する。図 4 は、第 2 実施形態を示す電気回路図、図 5 (a) は、入力信号 S_{in} の電力の波形図、図 5 (b) はゲインコントロールアンプ 1 0 からの出力信号 S_{amp} の電力の波形図、図 5 (c) は、対数アンプ 2 0 からの出力信号 S_{ref} の電力の波形図である。なお、第 2 実施形態の電気回路及び各波形図は、上記第 1 実施形態と類似しているため、以下に相違点のみ説明する。

【0089】第 2 実施形態では、対数アンプ 2 0 は、ゲインコントロールアンプ 1 0 の入力側に配置され、対数アンプ 2 0 は、その出力信号をローパスフィルタ 3 0 を介してゲインコントロールアンプ 1 0 の利得制御端子に出力する。

【0090】これにより、ゲインコントロールアンプ 1 0 は、対数アンプ 2 0 及びローパスフィルタ 3 0 とともに、オープンループの自動利得調節回路を形成し、この自動利得調節回路は、ゲインコントロールアンプ 1 0 からの出力信号 S_{amp} の電力をほぼ一定に保つよう動作する。また、同時に、対数アンプ 2 0 は、出力信号を、第 2 のアナログ-デジタル変換回路（電力検出用）の 5 0 に出力する。

【0091】第 2 実施形態では、対数アンプ 2 0 は、入力信号 S_{in} を直接観測しているため、第 2 のアナログ-デジタル変換回路 5 0（電力検出用）に入力される信号波形は、図 5 (c) のように、図 5 (a) に示す入力信号 S_{in} の電力変化と同じ形状の波形となる。

【0092】ここで、ゲインコントロールアンプ 1 0 によって利得制御されて、第 1 のアナログ-デジタル変換回路（データサンプリング用の）4 0 に入力される信号 S_{amp} は、上述したオープンループの制御のため、ゲインコントロールアンプ 1 0 の制御特性等により、出力電力に制御誤差が生ずる。但し、当該制御誤差は、第 1 のアナログ-デジタル変換回路 4 0 で正しくサンプリングできる範囲に収めることができるため、ベースバンド回路で行う信号処理において補正を行うことができ、実用上は問題がない。

【0093】また、図 6 に示すフローチャートが、図 3 に示すフローチャートに代えて採用され、制御回路 6 0 は、図 6 に示すフローチャートに従ってサンプリングデータの収集処理を行う。図 6 に示すステップ 1 0 0、1 4 0 は、図 3 に示すステップ 1 0 0、1 4 0 と同一である。

【0094】次に、第 2 実施形態の制御回路 6 0 の作動につき図 6 より説明する。制御回路 6 0 は、図 6 に示すフローチャートに従ってサンプリングデータの収集処理を開始する。

【0095】先ず、対数アンプ 2 0 からの出力信号 S_{ref} の電圧が、予め決めておいた閾値 V_{th} を超えた

19

否かを判定し(ステップ110)、出力信号Srefの電圧が閾値Vthoを超えたとき(出力信号Srefの電圧>閾値Vtho)、入力信号Sinが入力されたとして、ステップ110Aに進む。

【0096】次に、ステップ110Aで、データベース110Hからゲインコントロールアンプ10及びローパスフィルタ30の双方の特性(伝達関数)のデータを参照するとともに、対象アンプ20からの出力信号Srefの電圧のサンプリングデータに基づいて、上述した自動利得調節回路(オープンループの)におけるアタックタイムTa(図5(b)参照)を予測する。

【0097】但し、出力信号Srefは、上述した自動利得調節回路に入力される電力を反映しているため、上述した自動利得調節回路を構成するゲインコントロールアンプ10やローパスフィルタ30の伝達関数に関する情報を加味すれば、アタックタイムTaを精度良く予測することができる。また、アタックタイムTaとは、図5(b)に示すように、出力信号Srefの電圧の立ち上がり開始から一定レベルVaに収束する迄の時間である。

【0098】次に、ステップ110Aで予測したアタックタイムTaだけ待った後(ステップ150)、ステップ140に進んで、第1のアナログデジタル変換回路40によるサンプリングデータの採取を開始し、その後、ステップ140の処理を行う。これにより、上記第1実施形態と実質的に同様に、図5(b)における斜線部で示したA/Dのサンプリング上乗を超えた部分を除去して、サンプリングデータの収集を行うことができる。

【0099】以上により、上記第1実施形態と同様に、対象アンプ20を用いているので、広いダイナミックレンジでの入力信号電力検出が可能である。これと共に、上述の如く、自動利得調節回路(自動利得調節機能)をオープンループの構成とすることによって、対象アンプ20及びローパスフィルタ30の遅延特性によらず、ゲインコントロールアンプ10の利得制御(制御系)が不安定になることはなく、利得制御の発振(誤動された電力が周期的に増減を繰り返す現象)を防止することができる。

【0100】また、上述した如く、予めゲインコントロールアンプ10及びローパスフィルタ30の双方の伝達関数を測定しこの伝達関数を保有するデータベース110Hを準備しておき、アタックタイムTaの予測あたり、データベース110Bの伝達関数を参照するので、簡単にかつ確実に行うことができる。

【0101】なお、本実施形態において、上記第1実施形態で述べたゲインコントロールアンプ10からの出力信号Smpの電力の予測に加えて、アタックタイムTaの予測を採用した根拠は、以下の通りである。

【0102】すなわち、本実施形態では、自動利得調節

20

回路をオープンループで構成しているため、図5(b)に示すように、ゲインコントロールアンプ10の利得制御における誤差を生じる。従って、ゲインコントロールアンプ10からの出力信号Smpの電力の予測ではなく、アタックタイムTaの予測を採用することで、利得制御における誤差に関わりなく、第1のアナログデジタル変換回路40のサンプリング可能上限電力Pmax以下の信号を採取するようにしている。

【0103】(第3実施形態) 次に、本発明の第3実施形態について図7、図8(a)～(c)により説明する。図8は第3実施形態の電気回路図、図8(a)は、入力信号Sinの電力の波形図、図5(b)はゲインコントロールアンプ10からの出力信号Smpの電力の波形図、図5(c)は、対象アンプ20からの出力信号Srefの電圧の波形図である。

【0104】第3実施形態では、ゲインコントロールアンプ10、ローパスフィルタ30、及び電力検出器70で公知技術の自動利得調節回路を形成し、加えて、ゲインコントロールアンプ10の電力側に対象アンプ20を接続し、この対象アンプ20の出力信号Srefを第2のアナログデジタル変換回路50(電力検出用)に出力するようにした。

【0105】このような構成では、自動利得調節回路はクロズドループから成るため制御目標に対する誤差はほとんど発生しない。また、対象アンプ20の出力信号SrefSrefは入力信号Sin電力の変動を反映しているため、制御回路60によるサンプリングデータの収集処理に関しては、第2実施形態と同様の制御、すなわち、図6に示すフローチャートに従って処理を行うようにすればよい。

【0106】(第4実施形態) 次に、本発明の第4実施形態について図9を参照して説明する。図9は、第4実施形態を示す電気回路図である。第4実施形態は、図1に示すゲインコントロールアンプ10の出力端子及び第1のアナログデジタル変換回路40の入力端子の間に、ベクトル変調器80が接続されている。

【0107】ベクトル変調器80は、ゲインコントロールアンプ10からの出力信号を出力信号1、Qの2チャンネルに直交変調し、これら出力信号1、Qを第1のアナログデジタル変換回路40に出力する。すなわち、ゲインコントロールアンプ10の出力電力が、ベクトル変調器80の変換利得だけ増幅(変換損失の場合は減衰)されたものが、第1のアナログデジタル変換回路40に入力される。

【0108】ここで、制御回路60は、図10に示すフローチャートに従って、サンプリングデータの収集処理を行う。但し、図10に示すフローチャートは、図3に示すフローチャートにおいてデータベース110aを追加したものである。制御回路60は、ベクトル変調器80から出力される出力信号Smpの電力を予測する際にお

いて(ステップ110)、データベース110aからベクトル復調器80の変換利得データを参照できるようにすればよい。

【0109】これにより、処理を複雑化することなく、確実に出力信号Smpの電力の予測を行い、データ収集を開始すべき時間を適切に予測することが可能となる。その他の動作は、第1実施形態と同一である。

【0110】(第5実施形態) 次に、本発明の第5実施形態について図11により説明する。図11は、第5実施形態を示す電気回路図である。第5実施形態では、図4に示すゲインコントロールアンプ10の出力端子及び第1のアナログデジタル変換回路40の入力端子の間に、ベクトル変調器80が接続されている。但し、図11に示すベクトル変調器80は、図9に示すベクトル変調器80と同一である。

【0111】第5実施形態では、制御回路60によるサンプリングデータの取集処理にあたり、予測するデータとしては、アタックタイムTaだけであるため、ベクトル復調器80の影響は考慮しなくても良い。従って、制御回路60としては、図6に示すフローチャートに従って、サンプリングデータの取集処理を行うようにしておく。

【0112】(第6実施形態) 次に、本発明の第6実施形態について図12により説明する。図12は、第6実施形態を示す電気回路図である。第6実施形態では、図7に示すゲインコントロールアンプ10、ローパスフィルタ30、及び電力検出器70から成る自動利得調節回路と、第1のアナログデジタル変換回路(データサンプリング用の)40の入力端子との間に、ベクトル変調器80が接続されている。但し、図12に示すベクトル変調器80は、図9に示すベクトル変調器80と同一である。その他の動作は、上記第5実施形態と同一である。

【0113】(第7実施形態) 次に、本発明の第7実施形態について図13、図14(a)～(e)により説明する。図12は第7実施形態を示す電気回路図、図14(a)は、入力信号Sinの電力の波形図、図14(b)は、遅延回路90からの遅延信号Sdlの電圧の波形図、図14(c)は、コンパレータ91からの出力信号Swiの電圧の波形図、図14(d)は、ベクトル復調器からの出力信号Smpの電力の波形図、図14(e)は、対数アンプ20からの出力信号Sreの電圧の波形図である。

【0114】図13に示すように、サンプリング装置は、ゲインコントロールアンプ10、対数アンプ20、ローパスフィルタ30、第1及び第2アナログデジタル変換回路40、50、及びベクトル復調器80に加えて、遅延回路90、コンパレータ91及び電圧制御型のスイッチ92が設けられている。

【0115】ここで、ゲインコントロールアンプ10は、対数アンプ20及びローパスフィルタ30と共にク

ローズドループの自動利得調節回路が構成され、この自動利得調節回路は、上記第1実施形態と同様に、ゲインコントロールアンプ10からの出力信号の電力をほぼ一定に保つよう動作する。また、対数アンプ20は、ゲインコントロールアンプ10からの出力信号を第2のアナログデジタル変換回路(電力検出用)50に入力する。

【0116】ゲインコントロールアンプ10は、その出力信号を、電圧制御型のスイッチ92を介してベクトル復調器80に出力し、ベクトル復調器80は、ゲインコントロールアンプ10からの出力信号を出力信号Smp(I、Q)の2チャンネルに直交復調する。第1のアナログデジタル変換回路(データサンプリング用の)40は、出力信号Smp(I、Q)をサンプリングする。

【0117】対数アンプ20は、その出力信号を遅延回路90を介してコンパレータ91に入力し、遅延回路90は、対数アンプ20からの出力信号に対して遅延時間Tdだけ遅れた遅延信号Sdlをコンパレータ91に出力することになる。コンパレータ91は、遅延信号Sdlと基準電圧Vthaとの比較を行い、遅延信号Sdlが基準電圧Vthaを超えたとき、ハイレベルの出力信号Swiを出力する。

【0118】ここで、電圧制御型のスイッチ92は、コンパレータ91からの出力信号Swiに基づいて、ゲインコントロールアンプ10及びベクトル復調器80の間を接続又は遮断する。

【0119】具体的には、電圧制御型のスイッチ92は、コンパレータ91からのハイレベルの出力信号Swiを受けたとき、ゲインコントロールアンプ10及びベクトル復調器80の間を接続して、ベクトル変調器80(ベクトル変調器80のない場合には第1のアナログデジタル変換回路40)に、ゲインコントロールアンプ10からの出力信号をを伝送するように設定した。

【0120】制御回路60は、図15に示すフローチャートに従って、サンプリングデータの取集処理を行う。また、図15に示すステップ100、ステップ140は、図6に示すステップ100、ステップ140と同一である。

【0121】以上の構成において、図14(a)に示す入力信号Sinの電力変化に対し、コンパレータ91には、図14(b)に示すように、ゲインコントロールアンプ10の出力電力変化に対応した信号(遅延信号)が、遅延回路90によって遅延時間Tdだけ遅延されて入力される。そして、コンパレータ91は、遅延回路90からの遅延信号と、基準電圧Vthaとを比較すると、コンパレータ91からの出力信号は、図14(e)に示すようになる。

【0122】その後、電圧制御型のスイッチ92が、コンパレータ91からの出力信号に基づいてスイッチ制御

し、電圧制御型のスイッチ 92 から出力される信号は、図 14 (d) に示すように、ゲインコントロールアンプ 10 から出力された信号のうち、入力信号 S_{in} が入力されてから T_d の時間分が除去された信号となる。この信号が、ベクトル復調器 80 を介して第 1 のアナログデジタル変換回路 40 に入力される。一方、第 2 のアナログデジタル変換回路 50 (電力検出用の) には、図 14 (e) に示すように、信号が入力された直後から電圧が増加する信号が入力される。

【0123】以下、第 7 実施形態における制御回路 60 の動作につき図 15 を参照して説明すると、図 15 に示すフローチャートは、図 6 に示すフローチャートのうちステップ 110A、110B に置き換えてステップ 160 が採用されている。従って、制御回路 60 は、図 6 に示す処理とほとんど同じだが、遅延時間 T_d はあらかじめ設計時に決まった値で製作しているため、時間 (アタック時間 T_a) を予測する必要はなく、対数アンプ 92 からの出力信号 S_{ref} (図 13 (c) 参照) の電圧が基準値 V_{th0} を上回ることと信号入力を検知した後、遅延時間 T_d だけ待ってからゲータの採取を開始すればよい。

【0124】ここで、第 7 実施形態における遅延時間 T_d の時間 (長さ) は、例えば、図 16 に記載のような構成のフレームを用いる場合、リアンプの先頭に含まれる同期用信号の送信時間を T_p 、自動利得制御回路のアタックタイムを T_a とした場合、 $T_a \leq T_d < T_p$ の関係を満たせばよい。これにより、同期用信号のデータを得ることができるので、第 1 のアナログデジタル変換回路 40 に接続されるベースバンド回路では、同期用信号のデータを用いて信号を処理することができる。但し、ベースバンド回路における電力制御のために、電力変動が少ない領域を長時間確保した方が好ましいため、遅延時間 T_d はアタックタイム T_a になるべく近づけることが望ましい。

【0125】さらに、電圧制御型のスイッチ 92 により、入力信号がゲインコントロールアンプ 10 に入力されてから遅延時間分 T_d の時間だけは、ゲインコントロールアンプ 10 からの出力信号が第 1 のアナログデジタル変換回路 40 に入力されないようになっている。このため、第 1 のアナログデジタル変換回路 40 に過大な電力が入力されることを防止することができる。

【0126】特に、第 1 のアナログデジタル変換回路 40 として、過大入力に対して遮蔽しやすい特性を持つものを用いたときには、電圧制御型のスイッチ 92 は、過大電力に対する保護回路として作用するため、好適である。

【0127】なお、本実施形態では、遅延回路 90 は、対数アンプ 20 の出力側に配置されているにすぎず、第 1 のアナログデジタル変換回路 40 に至る回路には、何ら遅延回路は配置されておらず、第 1 のアナログデ

ジタル変換回路 40 への入力信号の位相特性に影響を与えることはない。さらに、第 2 のアナログデジタル変換回路 50 には、入力信号がゲインコントロールアンプ 10 を経て対数アンプ 20 を通して入力されるため、ゲインコントロールアンプ 10 への入力信号を遅延することなく、検出することが可能となる。

【0128】(第 8 実施形態) 次に、本発明の第 8 実施形態について図 17、図 18 (a) ~ (e) を参照して説明する。図 16 は、第 8 実施形態の電気回路図、図 18 (a) は、入力信号 S_{in} の電圧の波形図、図 18

(b) は、遅延回路 90 からの遅延信号 S_{dly} の電圧の波形図、図 18 (c) は、コンパレータ 91 からの出力信号 S_{win} の電圧の波形図、図 18 (d) は、ベクトル復調器からの出力信号 S_{amp} の電力の波形図、図 18 (e) は、対数アンプ 20 からの出力信号 S_{ref} の電圧の波形図である。

【0129】第 8 実施形態では、その基本構成が、図 17 に示すように、図 13 に示す第 7 実施形態と実質的に同様であるが、ゲインコントロールアンプ 10、対数アンプ 20、ローパスフィルタ 40 で構成される自動利得制御回路をオープンループの構成とした点のみ異なる。

【0130】図 18 (a) ~ (e) に示す各信号の波形図においても、図 18 (d) に示す信号が、オープンループのために制御誤差が現れている他は上記第 7 実施形態と同様の波形となる。また、制御回路 60 の動作に関しても、図 15 に示すフローチャートが採用されている。

【0131】(第 9 実施形態) 次に、本発明の第 9 実施形態について図 19、図 20 (a) ~ (e) を参照して説明する。図 18 は、第 9 実施形態を示す電気回路図、図 20 (a) は、入力信号 S_{in} の電圧の波形図、図 20 (b) は、ゲインコントロールアンプ 10 から出力された出力信号 S_{cel} の電圧の波形図、図 20 (c) は、対数アンプ 20 からローパスフィルタ 41 を通して出力された信号 S_{dly} の電圧の波形図、図 20 (d) は、ベクトル復調器からの出力信号 S_{amp} の電力の波形図、図 20 (e) は、対数アンプ 20 からの出力信号 S_{ref} の電圧の波形図である。

【0132】第 9 実施形態では、オープンループの自動利得制御回路を構成している点は、上記第 8 実施形態と同じであるが、図 17 に示す遅延回路 90、コンパレータ 91、及びスイッチ 92 の代わりに、対数アンプ 20 の出力信号をローパスフィルタ 41 を経て逆性反転回路 93 を介して電圧制御型の変減衰器 94 の制御端子に出力するようにしている点が異なる。

【0133】なお、ここで用いた可変減衰器 94 は、制御電圧が高い場合に減衰量が大きくなるタイプのものを用いているため、逆性反転回路 94 によつて、図 20 (c) 中の信号 S_{dly} の電圧が高いために、可変減衰器 94 の減衰量を小さくするようにした。もちろん、可

変減衰器 94 の特性によっては着に設ける必要はない。いずれにせよ、対数アンプ 20 の出力電圧を、ローパスフィルタ 40 で遅延させた後の信号電圧に比例して、可変減衰器 94 の減衰量が小さくなるように設定すればよい。

【0134】以上の構成により、対数アンプ 20 からローパスフィルタ 41 を通じて出力された信号 s_{dly} の波形は、図 20 (c) に示すように、入力信号 s_{in} の電圧の波形をローパスフィルタ 41 で鈍らせ、立ち上がり時間を T_d だけ遅延させたような波形になる。このため、可変減衰器 94 を経て出力される信号は、図 20 (d) に示すように、オーバershoot が緩和され、第 1 のアナログデジタル変換回路 40 でサンプリングできる上限電圧を超えないように設定することが可能となる。

【0135】もちろん、別途、対数アンプ 20 の出力信号 s_{ref} を、第 2 のアナログデジタル変換回路 50 (電力検出用の) でモニタ (監視) しているため、入力信号 s_{in} が入力されたことは、対数アンプ 20 の出力信号 s_{ref} の電圧で検出すればよい。従って、制御回路 60 は、すでに説明した図 15 に示すフローチャートに従って、サンプリングデータ収集処理を行うようにすればよい。

【0136】(第 10 実施形態) 次に、本発明の第 10 実施形態について図 21、図 22 (a) ~ (e) を参照して説明する。図 21 は、第 10 実施形態を示す電気回路図、図 22 (a) は、入力信号 s_{in} の電圧の波形図、図 22 (b) は、遅延回路 90 から出力された遅延信号の s_{dly} の電圧の波形図、図 22 (c) は、コンパレータ 91 から出力された出力信号 s_{win} の電圧の波形図、図 22 (d) は、ベクトル復調器 80 から出力された出力信号 s_{sm} の電圧の波形図、図 22 (e) は、コンパレータ 95 から出力された出力信号 s_{sen} の電圧の波形図である。

【0137】第 10 実施形態では、上記第 7 実施形態において、第 2 のアナログデジタル変換回路 50 をコンパレータ 95 に置き換えた構成であって、コンパレータ 95 は、対数アンプ 20 の出力電圧を、基準電圧 V_{th} と比較し、この基準電圧 V_{th} を上回ったとき、コンパレータ 95 の出力信号 s_{sen} がハイレベルとなるように設定されている。

【0138】ここで、図 21 に示すコンパレータ 91 (電圧制御型のスイッチ 92 の制御のための) において、遅延回路 90 からの遅延信号 s_{dly} のレベルを比較判定する為の基準電圧 V_{th} を採用しており、この基準電圧 V_{th} は、コンパレータ 95 における基準電圧 V_{th} 以上の値に設定されている (基準電圧 V_{th} ≧ 基準電圧 V_{th})。

【0139】従って、図 22 (c)、(e) に示すように、コンパレータ 95 からの出力信号 s_{sen} は、コン

パレータ 91 からの出力信号 s_{win} に比べて、早いタイミングでローレベルからハイレベルに変化すると共に、ハイレベルからローレベルに変化することになる。制御回路 60 は、上述した出力信号 s_{sen} の変化に応じて、サンプリングデータの収集処理を行う。

【0140】第 10 実施形態では、図 23 に示すフローチャートが、図 15 に示すフローチャートに代えて採用されており、図 23 に示すフローチャートでは、図 15 に示すフローチャートにおいて、ステップ 170 に代えてステップ 170 が採用されている。

【0141】ステップ 170 では、入力信号 s_{in} が入力されているか否かの判定にあたり、コンパレータ 95 から出力された出力信号 s_{sen} がハイレベルになるか否かで判定している。従って、入力信号 s_{in} が入力されているか否かの判定を精度良く行うことができる。

【0142】ここで、入力信号 s_{in} が入力されているか否かの判定にあたり、上記第 7 実施形態に述べた第 2 のアナログデジタル変換回路 50 に代わるコンパレータ 95 で実現が可能であり、上記第 7 実施形態に比べて、回路の簡素化と低コスト化を図ることができる。

【0143】また、本発明の実施態様であり、第 10 実施形態のコンパレータ 95 を廃止するようにしてもよい。これは、ゲインコントロールアンプ 10 から出力された出力信号のうち、第 1 のアナログデジタル変換回路 40 のサンプリング可能な上限電圧以下の信号を、電圧制御型のスイッチ 92 によって、第 1 のアナログデジタル変換回路 40 を入力しているからである。

【0144】さらに、上記第 7 ~ 10 実施形態では、電圧制御型のスイッチ 92 をゲインコントロールアンプ 10 とベクトル復調器 80 の間に接続した例につき説明したが、これに限らず、ベクトル復調器 80 と第 1 のアナログデジタル変換回路 40 との間に接続するようにしてもよい。

【0145】なお、第 10 実施形態は、上記第 7 実施形態において、第 2 のアナログデジタル変換回路 50 をコンパレータ 95 に置き換えたが、第 8 戒いは第 9 実施形態において、同様にして、第 2 のアナログデジタル変換回路 50 をコンパレータ 95 に置き換えることも可能である。

【0146】また、上記第 8、第 9、第 10 の実施形態における遅延時間 T_d の設定は、第 7 実施形態で説明した条件と同じになるように設定すればよい。

【0147】なお、上記第 7 ~ 10 実施形態は、ベクトル復調器 80 を接続した状態で実施形態について説明したが、これに限らず、ベクトル復調器 80 が無く、ゲインコントロールアンプ 10 と第 1 のアナログデジタル変換回路 40 とを直接接続しても同様の効果が得られる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態に係るサンプリング装置

を示す電気回路図である。

【図2】(a)は、入力信号 S_{in} の電力の波形図、(b)は、ゲインコントロールアンプの出力信号 S_{sm} の電力の波形図、(c)は、対数アンプからの出力信号 S_{ref} の電圧の波形図である。

【図3】図1に示す制御回路の作動を示すフローチャートである。

【図4】本発明の第2実施形態に係るサンプリング装置を示す電気回路図である。

【図5】(a)は、入力信号 S_{in} の電力の波形図、(b)は、ゲインコントロールアンプの出力信号 S_{sm} の電力の波形図、(c)は、対数アンプからの出力信号 S_{ref} の電圧の波形図である。

【図6】図4に示す制御回路の作動を示すフローチャートである。

【図7】本発明の第3実施形態に係るサンプリング装置を示す電気回路図である。

【図8】(a)は、入力信号 S_{in} の電力の波形図、(b)は、ゲインコントロールアンプの出力信号 S_{sm} の電力の波形図、(c)は、対数アンプからの出力信号 S_{ref} の電圧の波形図である。

【図9】本発明の第4実施形態に係るサンプリング装置を示す電気回路図である。

【図10】図9に示す制御回路の作動を示すフローチャートである。

【図11】本発明の第5実施形態に係るサンプリング装置を示す電気回路図である。

【図12】本発明の第6実施形態に係るサンプリング装置を示す電気回路図である。

【図13】本発明の第7実施形態に係るサンプリング装置を示す電気回路図である。

【図14】(a)は、入力信号 S_{in} の電力の波形図、(b)は、遅延回路からの遅延信号 S_{dly} の電圧の波形図、(c)は、コンパレータ91からの出力信号 S_{win} の電圧の波形図、(d)は、ベクトル復調器からの出力信号 S_{sm} の電力の波形図、(e)は、対数アンプからの出力信号 S_{ref} の電圧の波形図である。

【図15】図13に示す制御回路の作動を示すフローチャートである。

【図16】データフレームを説明するための図である。

【図17】本発明の第8実施形態に係るサンプリング装置を示す電気回路図である。

【図18】(a)は、入力信号 S_{in} の電力の波形図、(b)は、遅延回路からの遅延信号 S_{dly} の電圧の波形図、(c)は、コンパレータからの出力信号 S_{win} の電圧の波形図、(d)は、ベクトル復調器からの出力信号 S_{sm} の電力の波形図、(e)は、対数アンプからの出力信号 S_{ref} の電圧の波形図である。

【図19】本発明の第9実施形態に係るサンプリング装置を示す電気回路図である。

【図20】(a)は、入力信号 S_{in} の電力の波形図、(b)は、ゲインコントロールアンプから出力された出力信号 S_{ctrl} の電圧の波形図、(c)は、対数アンプからローパスフィルタを通して出力された信号 S_{dly} の電圧の波形図、(d)は、ベクトル復調器からの出力信号 S_{sm} の電力の波形図、(e)は、対数アンプからの出力信号 S_{ref} の電圧の波形図である。

【図21】本発明の第9実施形態に係るサンプリング装置を示す電気回路図である。

【図22】(a)は、入力信号 S_{in} の電力の波形図、(b)は、遅延回路から出力された遅延信号 S_{dly} の電圧の波形図、(c)は、コンパレータから出力された出力信号 S_{win} の電圧の波形図、(d)は、ベクトル復調器から出力された出力信号 S_{sm} の電力の波形図、(e)は、コンパレータから出力された出力信号 S_{sen} の電圧の波形図である。

【図23】図13に示す制御回路の作動を示すフローチャートである。

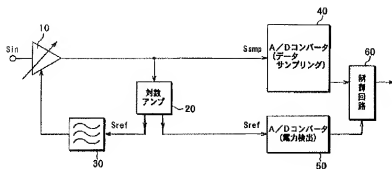
【図24】データフレームのプレアンブルを説明するための図である。

【図25】従来のサンプリング装置を示す電気回路図である。

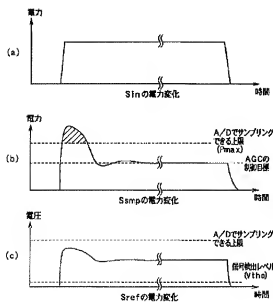
【符号の説明】

10…ゲインコントロールアンプ、20…対数アンプ、40…アナログ→デジタル変換回路、50…アナログ→デジタル変換回路、60…制御回路、80…ベクトル復調器、92…電圧制御型スイッチ、90…遅延回路、91…コンパレータ、94…可変減衰器。

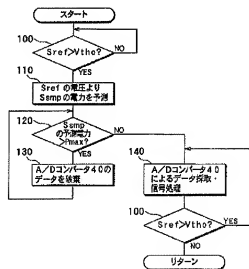
【図1】



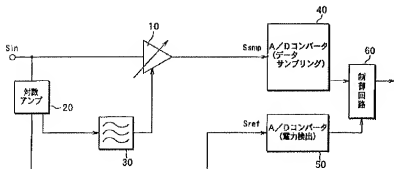
【図2】



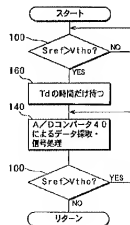
【図3】



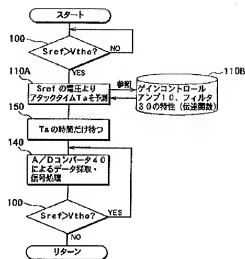
【図4】



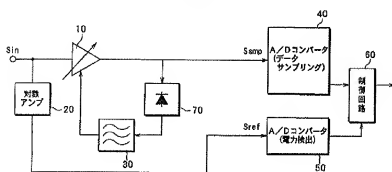
【図15】



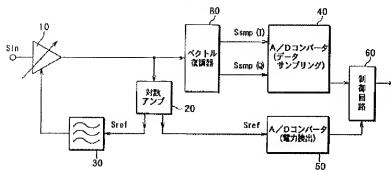
【例6】



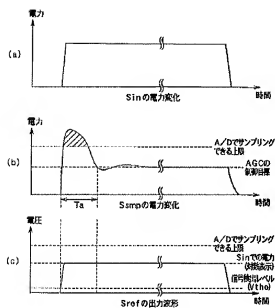
【例 7】



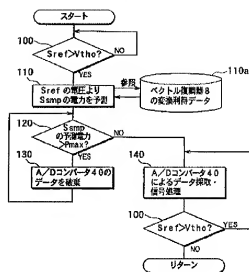
【例9】



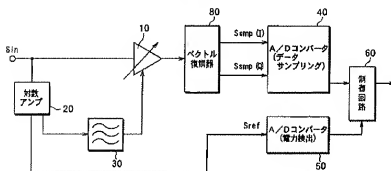
【図8】



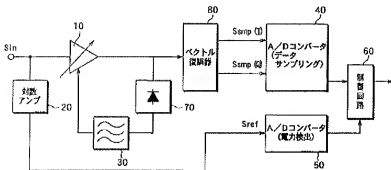
【図10】



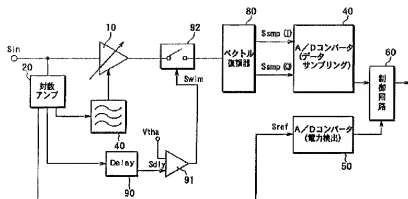
【図11】



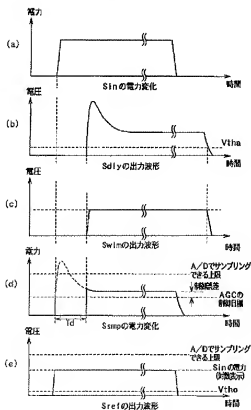
【図12】



【図17】



【図18】



【図20】

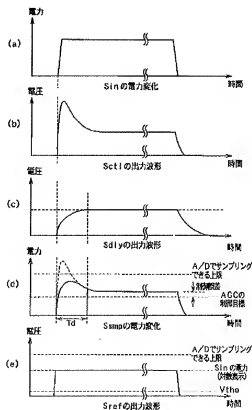


Figure 1 illustrates the comparison of data transmission methods. The diagram shows two scenarios over time. The left scenario, labeled 'ブリアンブル' (Briantbul), shows a long transmission time for a single data packet. The right scenario, also labeled 'ブリアンブル', shows a shorter transmission time for a single data packet. The x-axis is labeled '時間' (Time).

【図22】

